

PATENT ABSTRACTS OF JAPAN

Copyright (C), 1998-2000 Japanese Patent Office

(1) Publication number : 09-139819
(43) Date of publication of application : 27.05.1997

(51) Int.Cl. H04N 1/19
G03G 1/14
H04N 1/40

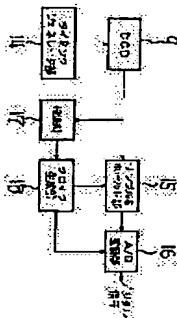
(21) Application number : 07-296439 (71) Applicant : RICOH CO LTD
(22) Date of filing : 15.11.1995 (72) Inventor : TAKIGUCHI AKIRA

(54) IMAGE READER

(57) Abstract:

PROBLEM TO BE SOLVED: To properly conduct signal processing in a sample-and-hold section and an A/D converter section with respect to an output signal outputted from an image sensor even when the image sensor is driven at a high speed.

SOLUTION: The device uses a detection section 17 to detect a timing of an output signal of an image sensor 9 to generate a signal processing clock signal such as a proper sample-and-hold clock signal and a sampling clock signal for A/D conversion synchronously with an output signal of the image sensor 9 and even when the image sensor 9 is driven at a high speed, the signal processing in the sample-and-hold section 15 and the A/D converter section 16 with respect to the output signal outputted from the image sensor 9 is conducted properly.



LEGAL STATUS

- [Date of request for examination]
- [Date of sending the examiner's decision of rejection]
- [Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]
- [Date of final disposal for application]
- [Patent number]
- [Date of registration]
- [Number of appeal against examiner's decision of rejection]
- [Date of requesting appeal against examiner's decision of rejection]
- [Date of extinction of right]

発明の画像処理装置に加えて、検波部により検波されて

イメージセンサの出力信号のタイミングに同期した信号

処理用クロックを生成してサンプル&ホールド部及びA

/D変換部に送出するクロック生成部を備えている。

【0009】従って、イメージセンサが高速駆動されて

も、イメージセンサから出力される出力信号に同期した

週正なサンプル&ホールド用クロックやA/D変換用の

サンプリングクロックといった信号処理用クロックがク

ロック生成部からサンプル&ホールド部やA/D変換部

に与えられるので、信号処理部の正確な同期が得られる。

【0010】請求項1記載の発明では、前記現1記載の

発明の画像処理装置に加えて、検波部により検波されて

イメージセンサの出力信号のタイミングに同期したサン

プル&ホールド用クロックなる信号処理用クロックを生

成してサンプル&ホールド部に送出するクロック生成部

を備えている。

【0011】従って、イメージセンサが高速駆動されて

も、イメージセンサから出力される出力信号に同期した

週正なサンプル&ホールド用クロックなる信号処理用ク

ロックがクロック生成部からサンプル&ホールド部に与

えられるので、サンプル&ホールド部に同期して信号処理部

とができる一方、A/D変換用クロックによるA/D変

換部での信号処理は、前記の画像処理系、システム全

体に同期させることができる。

【0012】請求項4記載の発明では、請求項2又は3

記載の画像処理装置において、クロック生成部がPLL

回路を含んで構成されている。従って、イメージセンサ

からの出力信号とサンプル&ホールド用クロック等の信

号処理用クロックとの同期をPLL回路により正確にと

ることができる。

【0013】

【発明の実施の形態】本発明の実施の第一の形態を図1ないし図4に基づいて説明する。本発明の画像処理装置は、その実施の一形態として、図7に示したようなデジタル処理の画像処理装置に適用されており、図7の構成はそのまま用いるものとされる。

【0014】まず、イメージセンサ(固体撮像部)A/D変換部の代表例である、イメージセンサ(固体撮像部)A/D変換部9には、輸送クロック、シフトパルス及びセットパルスを付与するタイミングセレクタ部1-8が接続されている。一方、前記CCD9の出力側にはサンプル&ホールド部15とA/D変換部16とが順に接続されている。さらに、前記CCD9の出力側には前記サンプル&ホールド部15と分岐する形で検波部17が接続されている。この検波部17にはクロック生成部18が接続されている。このクロック生成部18の出力側は前記サンプル&ホールド部15及びA/D変換部16に接続されている。

【0015】ここに、前記検波部17は前記CCD9からの出力信号のタイミングを検波する機能を持つ。具体的には、前記CCD9からの出力信号は、図2に示すよ

うに、オフセット電圧を基準として出力信号値(電気信号)とリセット・ノイズを持つ波形を示すので、オフセット電圧とリセット・ノイズ値との間の幅E₁が基準値に設定された出力器19により検波部17が制御されている。

【0016】これにより、検波部17(出力器19)からの出力信号(同期クロック)は、図4(a)に示すようなCCD9の出力波形に対して、図4(b)に示すよ

うにCCD9の出力信号に同期したノリス波形となる。

【0017】また、前記クロック生成部18は例えばデバイスラインの同期クロックのもので、図4(c)に示すような検波部17からの同期クロックに対して、図4(d)に示すよ

うでCCD9の出力信号に同期したノリス波形となる。

【0018】よって、本実施の形態によれば、サンプル&ホールド部15及びA/D変換部16はCCD9から出力信号のタイミングに同期して信号処理を行い、図4(d)、(e)に示すような出力を生ずる。ここに、

この少い手法で行っており、これをデライナリ構成のクロック生成部18で検波部17において遅延のばつ

てCCD9の出力信号で遅延してサンプル&ホールド部15に付与できるので、CCD9の出力信号中の出力信号部分を正確にサンプリングすることができる。

また、検波部17で検波された同期クロックを利用してサンプル&ホールド部15をサンプリングさせるので、サンプル&ホールド部15によりサンプリングされホールドされ

た低周波出力のデジタル化も遅延で実現される。

【0019】ついて、本実施の実施の第二の形態を図5に基づいて説明する。図4に示したようなデジタル処理の画像処理装置に適用されており、図7の構成はそのまま用いるものとされる。

【0020】請求項2記載の発明によれば、検波部に

よりイメージセンサの出力信号のタイミングを検波するようになつて、イメージセンサの出力信号に同期した週正なサンプル&ホールド用クロックやA/D変換用のサンプリングクロックといった信号処理用クロックを生成することが可能となり、よって、イメージセンサが高

速駆動されても、イメージセンサから出力される出力信号に対するサンプル&ホールド部やA/D変換部との信号処理部の正確な同期が得られる。

【0021】請求項4記載の発明によれば、前記現1記載の実施の形態に加えて、検波部により検波されて

いる。一方、A/D変換部16のサンプリング用クロックはCCD9からの出力信号のタイミングに依存する可

能性もあるが、本実施の形態では、A/D変換用のサン

プリングクロックはタイミングシグネーラー部1-4において生成しているので、A/D変換のサンプリングタイ

ミングはシステム全体に同期させることができる。

【0022】本実施の実施の第三の形態を図6に基づいて説明する。本実施の形態では、検波部17の出力側に位相比較器(PD)20とローパスフィルタ(LPF)21と電圧制御発振回路(VCO)22とを備えたPLL回路23を設け、このPLL回路23によりクロック生

成部が構成されている。ここに、位相比較器20で位相比較器20の出力側に同期したノリス波形に同期した位相比較器(PD)20とローパスフィルタ(LPF)21と電圧制御発振回路(VCO)22とを備えたPLL回路23を設け、このPLL回路23によりクロック生

成部が構成されている。【図9】一部の動作波形を示すフロック図である。

【図2】検波部に対する入力信号を示す波形図である。

【図3】検波部の構成例を示すブロック図である。

【図4】各部の動作波形を示すタイムチャートである。

【図5】本実施の実施の第二の形態を示すブロック図である。

【図6】本実施の実施の第三の形態を示すブロック図である。

【図7】一般的な画像処理装置の構成を示す構成正面図である。

【図8】従来例を示すブロック図である。

【図9】一部の動作波形を示すブロック図である。

【図10】イメージセンサの出力信号のタイミングに同期した信号処理用クロックを生成してサンプル&ホールド部及びA/D変換部に送出するクロック生成部を備えている。

【図11】本実施の実施の第一の形態を示すブロック図である。

【図12】前記現1記載の実施の形態の動作波形を示す図である。

【図13】前記現1記載の実施の形態の動作波形を示す図である。

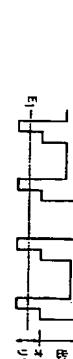
【図14】前記現1記載の実施の形態の動作波形を示す図である。

【図15】前記現1記載の実施の形態の動作波形を示す図である。

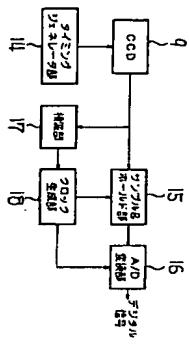
【図16】前記現1記載の実施の形態の動作波形を示す図である。

【図17】前記現1記載の実施の形態の動作波形を示す図である。

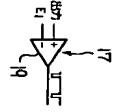
【図18】前記現1記載の実施の形態の動作波形を示す図である。



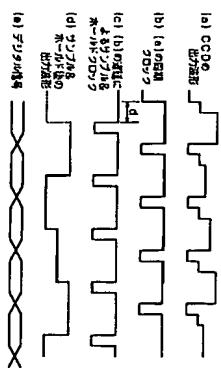
[図1]



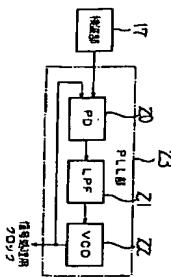
[図3]



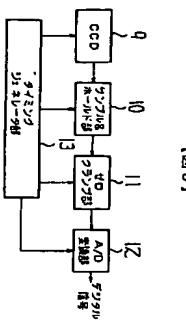
[図5]



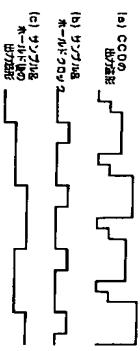
[図4]



[図6]



[図8]



[図9]



[図7]